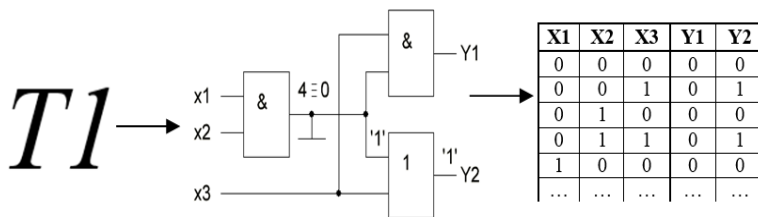


UNIVERSITATEA TEHNICĂ A MOLDOVEI

TESTAREA SISTEMELOR ELECTRONICE

Ghid pentru lucrări de laborator Partea II



Chişinău
2016

UNIVERSITATEA TEHNICĂ A MOLDOVEI
FACULTATEA INGINERIE ȘI MANAGEMENT ÎN ELECTRONICĂ ȘI
TELECOMUNICAȚII
CATEDRA SISTEME ȘI DISPOZITIVE ELECTRONICE

TESTAREA SISTEMELOR ELECTRONICE

Ghid pentru lucrări de laborator
Partea II

Chișinău
Editura «Tehnica-UTM»
2016

Acest ghid pentru lucrări de laborator are ca scop obținerea abilităților la întocmirea testelor pentru sistemele combinaționale digitale și dispozitivele memoriei digitale. Practic testarea se efectuează în baza microcircuitelor cu logica programabilă prin intermediul limbajului *VHDL* și în editorul *Schematic*.

Lucrările de laborator prezente sunt destinate consolidării cunoștințelor în domeniul testării dispozitivelor digitale, iar efectuarea lucrărilor în baza plachetelor de depănare (*kit*-urilor) este destinată aprofundării cunoștințelor practice în acest domeniu.

Ghidul este recomandat studenților, masteranzilor și doctoranzilor de profil și reflectă tendințele contemporane de testare a sistemelor electronice în baza dispozitivelor cu logica programabilă.

Autori: lector univ. S. Grițcov

lector asist. D. Lazăr

Recenzent: conf. univ., dr. P. Nistiriuc

CUPRINS

Lucrarea de laborator nr. 1

Întocmirea și minimizarea testelor pentru un circuit logic digital
și calcularea rezoluției pentru aceste teste 3

Lucrarea de laborator nr. 2

Determinarea rezoluției testelor pentru circuitele combinaționale
digitale 9

Lucrarea de laborator nr. 3

Alcătuirea și minimizarea testelor pentru bistabile și registre ... 14

BIBLIOGRAFIE.....22

BIBLIOGRAFIE

1. ЯРМОЛИК С., ЗАНКОВИЧ А., ИВАНЮК А. *Маршевые тесты для самотестирования ОЗУ*. – Минск: БГУ, 2009, 270 с.
2. POWELL T., KUMAR A., RAYHAWK J., MUKHERJEE N. *Chasing subtle embedded RAM defects for nanometer technologies*. – Texas Instrum. Inc., Dallas, TX, Test Conference, IEEE, 2005, pp. 9 – 850.
3. HAMDIOUI S., VAN DE GOOR A.J., RODGERS M. *March SS: a test for all static simple RAM faults*. – Memory Technology, Design and Testing, 2002, pp. 95-100.
4. WAN Z., WAN H., IZHAL A., ROSLINA S., MASURI O. *A Fault Syndromes Simulator for Random Access Memories*. European Journal of Scientific Research ISSN 1450-216X, Vol.23, No.1, 2008, pp.13-24.
5. VAN DE GOOR A., ABADIR M., CARLIN A. *Minimal test for coupling faults in word-oriented memories*. – Design, Automation and Test in Europe Conference and Exhibition, 2002, pp. 944-948.
6. BODEAN Gh. *Diagnosticarea dispozitivelor digitale*. – Chişinău: UTM, 2007, 311 p.
7. MIKITJUK V., YARMOLIK V., VAN DE GOOR A. *RAM testing algorithms for detection multiple linked faults*. Minsk: Byelorussian State Univ., *IEEE Int. Test Conf.*, 1996, pp. 435 – 439.
8. PARK Y., PARK J., HAN T., KANG S. *An Effective Programmable Memory BIST for Embedded Memory*. – IEICE Transactions on Information and Systems, Volume E92.D, Issue 12, 2009, pp. 2508-2511.
9. ЛИТИКОВ И. *Кольцевое тестирование цифровых устройств*. – Москва: Энергоатомиздат, 1990, 157 с.
10. GRITCOV S. *Algorithmic complexity of pseudo-ring testing for stuck-at faults*. – Chişinău: ICTEI-2015, pp. 75-76.