

MODELIZAREA DEFECTELOR CIRCUITELOR INTEGRATE ANALOGICE

*Titu-Marius I. BĂJENESCU, prof.
Elveția*

1. INTRODUCERE

Progresele recente din domeniul circuitelor *Very Large Scale Integrated* (VLSI) au dus la micșorarea continuă a geometriilor cipului – așa cum a prezis-o, cu multă vreme în urmă – legea lui Moore. Adesea se preferă să se fabrice circuite integrate folosind tehnologii avansate, datorită creșterii substanțiale a integrării și a reducerii concumului de putere. Reducerea dispozitivelor semiconductoare ar

micșora și costul anual, pe funcție, cu 25-29%, promovând totodată creșterea continuă a pieței pentru circuite integrate (CI) cu cca 17% pe an [1]. Pentru funcțiile nenumărate (cum ar fi controlul puterii, componente pasive, senzori, actuatori etc.), noile cuceriri tehnologice permit migrarea de la nivelul sistemului la nivelul împachetării cipului și – în cele din urmă – la apariția circuitelor integrate 3D. În figura 1 sunt prezentate tendințele generale actuale ale industriei semiconductoarelor.

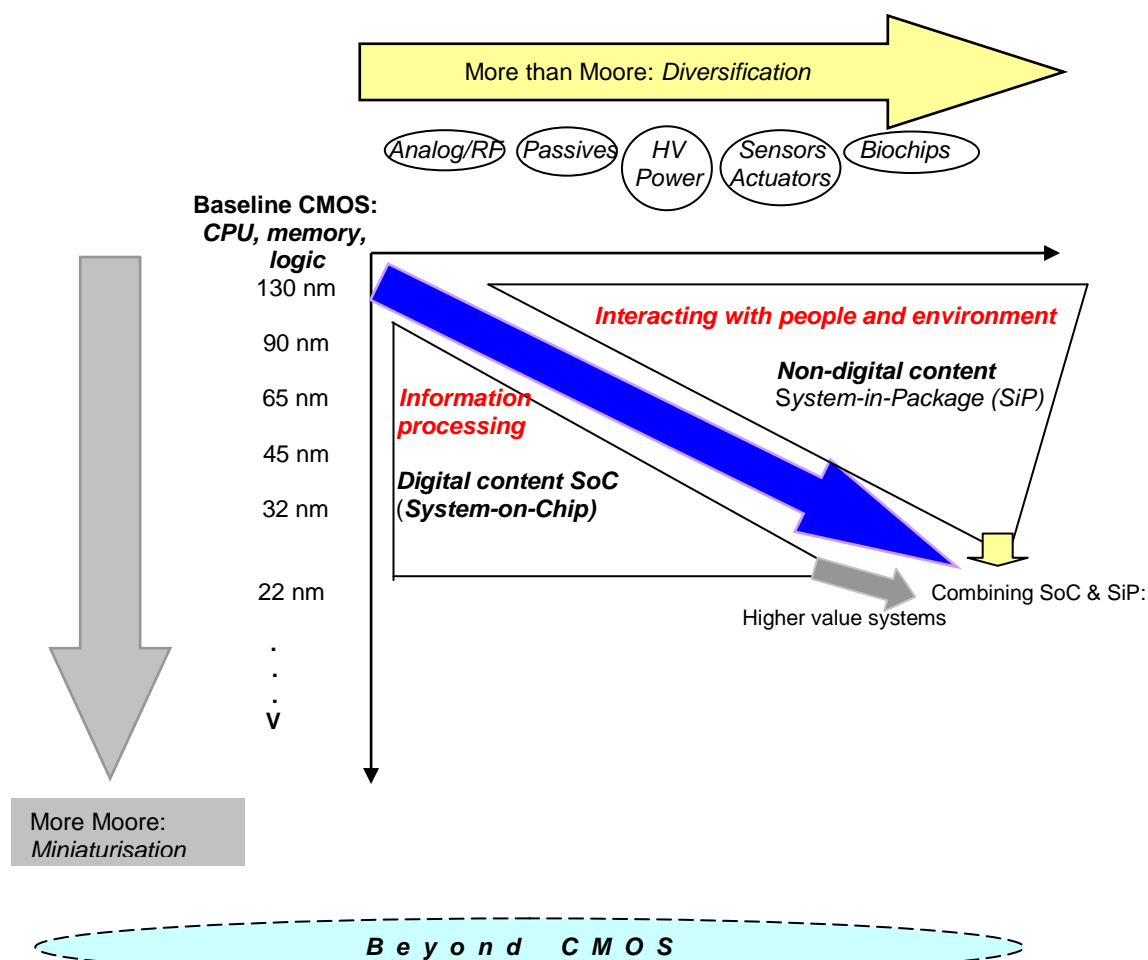


Figura 1. Mai mult Moore și mai mult decât Moore. (Sursa: ITRS, ExecSum 2010).

Progresele acestea au adus cu sine variații mai mari ale performanțelor CI fabricate. Performanțele sunt deosebit de susceptibile la variațiile naturale ale procesului de fabricație. De pildă, variind densitatea impurităților, grosimea oxidului de poartă

și adâncimea joncțiunii, va induce variația parametrilor tranzistorului și degradarea performanțelor lui. Mai mult, pe măsură ce densitatea tranzistorului crește, defectele și imperfecțiunile create în timpul procesului

de fabricație pot provoca defectări ale dispozitivului.

Integrarea atât a părților numerice, cât și a celor analogice într-un cip de dimensiuni atât de reduse reprezintă o sfidare pentru a le testa. Deosebit de important este să se verifice funcționarea dispozitivelor după ce au fost fabricate și, apoi, la client. În figura 2 este dată schema unei proiectări tipice a unui circuit integrat analogic.

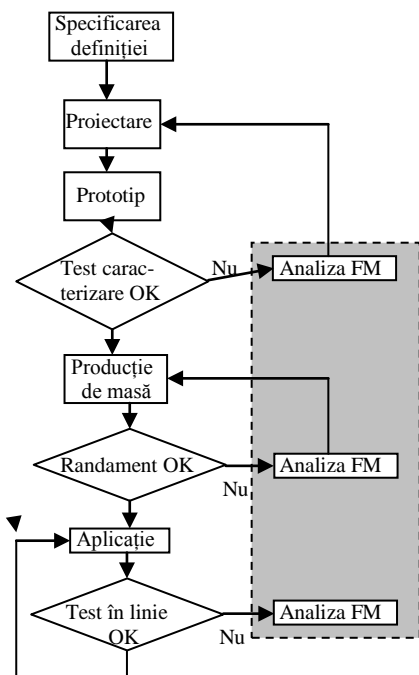


Figura 2. Schema folosită la proiectarea unui circuit integrat analogic.

2. MECANISME DE DEFECTARE ALE CIRCUITELOR INTEGRATE

În timpul fazei de proiectare, prototipurile CI se pot defecta fie datorită unor lipsuri ale proiectării, fie datorită modelelor neprecise, inexacte. Aceste tipuri de defecte pot fi corectate progresiv în timpul iterațiilor proiectării. În mediul de producție, un CI este susceptibil la diferitele mecanisme de pierderi ale randamentului. Operațiile de fabricare sunt supuse la trei factori majori: procesul de control al parametrilor, layout-ul CI și factorii ambientali cu schimbări aleatoare (denumiți factori de dezordine). Factorii de control (temperatura, presiunea gazului, durata unei faze, etc.) sunt manipulați pentru a realiza anumite schimbări dorite în structura CI fabricate. Apariția unei erori în oricare din acești factori poate duce la defectări ale CI. Acești factori pot fi clasificați în deviații ale procesului global, deviații ale procesului local și defecte spot (figura 3).

3. MODELIZAREA

În general, există două tipuri de defecte ale circuitelor analogice de înaltă frecvență: defecte catastrofice și defecte parametrice. Cele catastrofice includ circuitele deschise, scurtcircuiturile și alte schimbări topologice dintr-un circuit. Cele parametrice reprezintă defectele care nu schimbă topologia circuitului și au doar un impact asupra valorilor parametrilor.

Modelizarea defectelor trebuie să țină seama, în mod general, de toate tipurile de defecte, folosind metode statistice. Trebuie dezvoltată apoi o

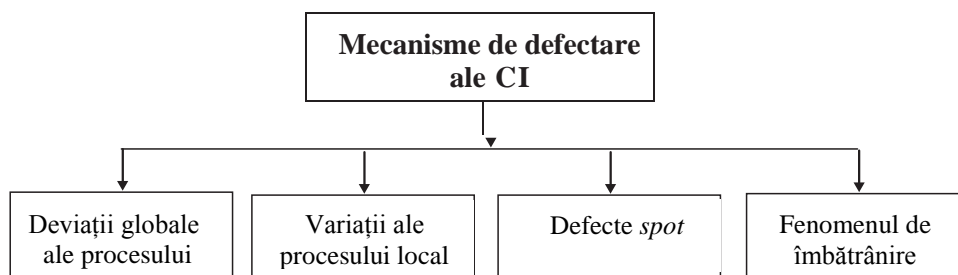


Figura 3. Mecanisme de defectare ale circuitelor integrate [1]

abordare a diagnosticului pentru a analiza mecanismul de defectare. În literatură, defectările catastrofice și parametrice au fost tratate separat. În lucrarea [1], sunt luate în considerare toate tipurile de defectări.

4. RANDAMENTUL UNUI CI

Randamentul (*yield*) unui CI este proporția

circuitelor care funcționează, definită de raportul N/M , în care N reprezintă numărul de circuite care au trecut cu bine testul, iar M este numărul total de circuite fabricate. Un defect poate avea loc în oricare etapă de producție. O cunoaștere profundă a mecanismului fizic de defectare este esențială pentru construirea de modele realiste de defectare. În plus, eficacitatea abordării diagnosticului este legată

direct de precizia modelului de defectări. Modelizarea defectărilor analogice este o sfidare, datorită naturii continue a operației circuitelor analogice, datorită nelinierității, sensibilității performanțelor la variațiile de proces, etc.

5. MECANISME DE DEFECTARE ÎN CIRCUITELE ANALOGICE INTEGRATE

La proiectarea unui CI, defectele din primele prototipuri se pot datora defectelor de concepție, impreciziei modelelor de simulare, etc. Acest tip de defecte poate fi corectat progresiv în iterațiile de concepție, de proiectare. Într-un mediu de producție, mai mulți factori pot genera pierderea de randament. În general, mecanismele de defectare pot fi clasificate în variații globale de proces, variații locale de proces, defecte spot (*spot defect*) și fenomene de îmbătrânire.

6. VARIAȚII GLOBALE DE PROCES¹

Într-o tehnologie nematurizată, defectele pot fi generate de o eroare gravă a parametrilor de control, de dispoziția elementelor (*layout*), etc. Sursele majore ale acestor variații sunt [2]: (a) Erorile umane și defectările echipamentelor; (b) Instabilitatea condițiilor de proces în privința schimbării valorilor oricărui parametru fizic; (c) Instabilitatea materialului; (d) Nealinieria măștilor.

7. VARIAȚII LOCALE DE PROCES

Ele afectează individual componentele fiecărui cip. În general, aceste variații pot perturba anumiți parametri locali de proces, însă ele nu schimbă topologia circuitului.

8. DEFECTE SPOT

Adesea ele sunt provocate de particule sau reziduuri prezente în fabricație și afectează fie

straturile individuale, fie interconexiunile dintre două straturi. Defectele spot sunt fenomene aleatoare care au o anumită frecvență stochastică de a se produce [3]. Nu toate defectele sunt datorate pașilor de procesare litografică [4]. Unele defecte apar datorită variabilității procesului (de pildă, *incomplete step coverage*); de aceea, modul de execuție al pașilor individuali ai unui proces este de o importanță critică în evitarea defectelor spot. Deoarece defectele spot conduc la schimbarea topologiei circuitului, ele sunt considerate defecte catastrofice. Conform literaturii de specialitate [5, 6, 7, 8] defectele spot sunt principala sursă de defectări în circuitele integrate.

9. FENOMENE DE ÎMBĂTRÂNIRE

Defectele pot fi introduse după fabricație, în aplicația finală a circuitelor integrate, datorită fenomenelor de îmbătrânire. Acest tip de defecte include: (i) Electromigrarea; (ii) Instabilitatea polarizării negative față de temperatură (NTBI); (iii) Injectarea de purtătoare "calde" (*Hot Current Injection*); (iv) Clacarea oxidului.

10. MODELIZAREA DEFECTELOR

În literatură sunt propuse mai multe tipuri de modele; în [9], ele sunt clasificate în trei categorii: modele structurale, modele parametrice și modele comportamentale.

Modelul structural constă în reprezentarea unui defect care introduce o schimbare de topologie a unui circuit; are avantajul de a fi simplu și ușor de realizat. Modelele sunt adesea componente deja existente în simulator. Metoda este folosită pentru a modeliza defectările catastrofice din circuitele analogice. Defectările parametrice sunt totuși greu de modelizat cu acest model, deoarece există un număr infinit de posibilități de deviații parametrice.

Modelizarea parametrică constă adesea în atribuirea distribuției unei valori a unui parametru, dincolo de intervalul de toleranță. Spre deosebire de modelul structural, modelul parametric este o metodă nedeterministă care modelează defectele care nu schimbă topologia circuitului. În [10] este propus un model de defect parametric căutând deviația minimă a unui parametru care permite violarea a cel puțin unei specificații a circuitului. Pentru a obține acest defect, trebuie variat cu un anumit procent parametrul considerat (menținând ceilalți parametri la valorile lor nominale), până când cel puțin o specificație este violată. Metoda

¹ De notat că în producția unui CI sunt instalate structuri speciale pentru detectarea variațiilor globale de proces. Aceste structuri de test sunt concepute pentru a avea performanțe sensibile la parametrii specificați de proces (*Process Control Monitor PCM*). Dacă unul din PCM a eșuat, placheta va fi considerată defectă și va fi respinsă. Așadar, variațiile globale de proces nu sunt luate în considerare în contextul modelizării defectărilor.

este folosită pentru evaluarea metricii testului. În realitate, anumite variații presupuse ale parametrilor modelului nu se produc decât rareori.

Modelul comportamental este o descriere de înalt nivel a performanțelor unui circuit (sau a unui sub-circuit). Injectarea unui asemenea defect constă în devierea performanțelor unui circuit. Cum defectele sunt modelizate la nivelul performanțelor, simularea modelului este mai rapidă. Ea e foarte utilă pentru un sistem complex sau în cazul unei analize ierarhice. În industrie, modelele comportamentale sunt folosite ca bază de dezvoltare a procedurilor de test [11]. Însă eficacitatea acestei metode depinde mult de calitatea modelului; este necesar un model foarte complet și precis pentru a putea descrie defectul fizic. În plus, modelul comportamental nu conține informații asupra cauzelor originale ale defectului (deviație de parametri de proiectare sau defecte fizice la nivelul procesului) și nu permite efectuarea unui diagnostic profund asupra circuitelor căzute în pană. Modelul este utilizat adesea pentru a evalua metricilor de test pentru circuitele analogice.

11. ASIGURAREA FIABILITĂȚII

O metodă de asigurare a fiabilității (figura 4) a fost definită de Chenming Hu [12]. Ea integrează noțiunea de simulator al fiabilității ca un instrument ajutător la dezvoltarea CI și este o interfață între faza de dezvoltare a tehnologiei și faza de calificare a CI. Simularea fiabilității ocupă deci un loc extrem de important și poate influența îmbunătățirea procedurilor tehnologice, a regulilor de proiectare și a testelor de calificare. Pentru aceasta va trebui să identificăm, pentru fiecare mecanism de defectare FM, un set de parametri relevant pentru fiabilitatea circuitului (figura 5) și să dezvoltăm metode simple pentru extragerea acestor parametri pentru un proces dat sau o tehnologie care folosește stresuri accelerate de c.c. pe structurile de test. Cu ajutorul unor programe soft vom putea prezice degradarea circuitului sau preciza defectările datorită acestor parametri, pentru orice circuit dat.

Asigurarea calității are în vedere, în principal, detectarea defectării care-și face apariția la sfârșitul unui lung proces de dezvoltare și calificare, deși de dorit ar fi să putem prezice fiabilitatea circuitului în stadiul de proiectare. Așa cum se poate vedea din figura 5, aceasta cere instrumente de simulare a fiabilității pornind de la modele ale mecanismelor de defectare care vor defini testele necesare pentru a putea obține parametrii modelului.

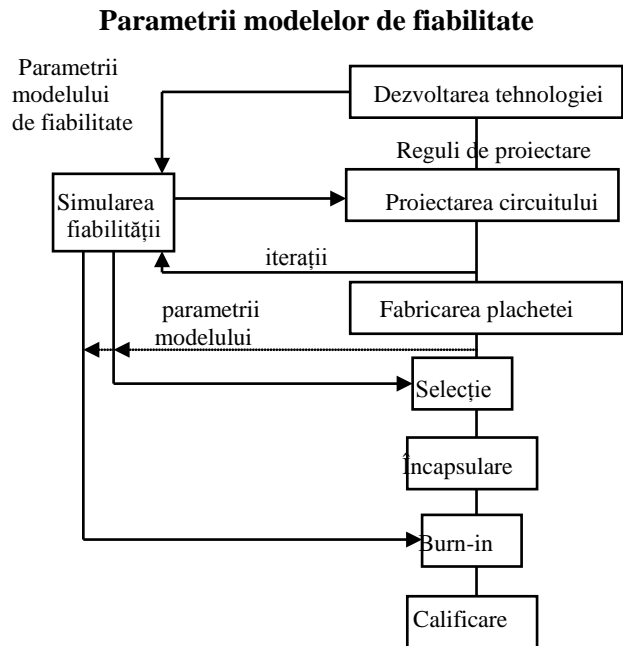


Figura 5. O metodologie logică de asigurare a fiabilității care folosește simularea fiabilității pentru a economisi timp și bani.

Modelele de fiabilitate trebuie să fie simple, precise și destul de generale pentru a putea evidenția părțile slabe ale circuitului și pentru a putea prezice totdeauna corect măcar schimbările respective necesare în procesul de proiectare.

12. CONCLUZII

Densitatea integrării microelectronice este limitată de fiabilitatea produsului fabricat, pentru o densitate dată a circuitului. Reguli de proiectare, tensiunea de lucru și vitezele maxime de comutare trebuie astfel alese, încât să asigure funcționarea circuitului de-a lungul întregii sale durate de viață. De aceea, pentru a determina performanța de vârf a unui set dat de constrângeri ale proiectării, trebuie modelată fiabilitatea circuitului, pentru condițiile specifice de funcționare.

Proiectanții abordează mai degrabă procesul de degradare, pentru a fi siguri că nu există părți inerent vulnerabile ale cipului. Utilizatorii sau proiectanții unui sistem abordează teoria defectării și a ratelor de defectare pentru calificarea fiabilității produsului, presupunând că toate defectările vor fi întâmplătoare și că circuitele nu au un mod dominant de defectare din proiectare.

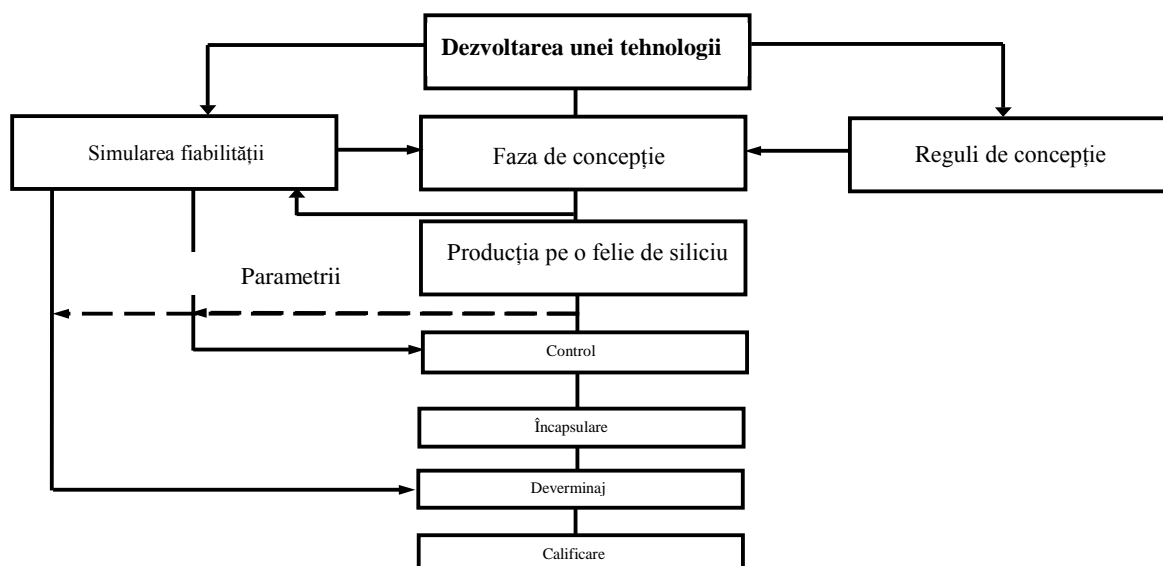


Figura 4. O metodă de asigurare a fiabilității pentru circuite integrate analogice [12, 13].

Bibliografie

1. **Huang Ke.** Modélisation des fautes et diagnostic pour les circuits mixtes/RF nanométriques, Thèse de doctorat, Université de Grenoble, 2011.
2. **Malz W., Strojwas, A. I., Director S. W.** VLSI Yield Prediction and Estimation - A Unified Framework. *IEEE Trans. on Computer Aided Design of IC and Systems*, vol.5, pp. 111-130.
3. **Stapper C. H.** Modelling of Integrated Circuit Defect Sensitivities. *IBM J.of Res. Development*, vol. 27, nr. 6, pp. 549-557.
4. **Sachdev M., Gyvez J. P.** Defect Oriented Testing for Nano-metric. *CMOS VLSI Circuits*, Springer, 2007.
5. **Malz W.** Modeling of Litography Related Yield Losses for CAD of VLSI Circuits. *IEEE Trans. on CAD of Integrated Circuits and Systems*, vol. 4, pp. 166-177.
6. **Pineda de Gyvez J., Di C.** IC Defect Sensitivity for Footprint-Type Spot Defects. *IEEE Trans. on CAD of Integrated Circuits and Systems*, vol. 11, nr. 1, pp. 638-658.
7. **Fantini F., Morandi C.** Failure Modes and Mechanisms for VLSI ICs – A Review. *IEE Proceedings, Part G*, vol 132, pp. 71-81.
8. **Yanagawa T.** Yield Degradation of Integrated Circuits Due to Spot Defects. *IEEE Trans. on Electron Devices*, vol. ED-19, pp. 190-197.
9. **Soma M.** Challenges in Analog and Mixed-Signal Fault Models. *IEEE Circuit and Devices Magazine*, vol. 12, nr. 1, pp. 16-19.
10. **Sunter S., Nagi N.** Test Metrics for Analog Parametric Faults,” *IEEE VLSI Test Symposium*, 1999, pp. 225-234.
11. **Soma M.** Challenges in Analog and Mixed Signal Fault Models. *IEEE Circuits Devices Magazine*, vol. 12, nr. 1, pp. 16-19.
12. **Hu C.** IC Reliability Simulation. Invited Paper, *Proc. IEEE of Custom Integrated Circuits Conference*, San Diego, 1991, pp. 4.1.1-4.1.4.
13. **Băjenescu T.-M.** Microsisteme electromecanice (MEMS) și fiabilitate,” *Asigurarea calității (Quality Assurance)*, vol. XVII, nr. 67(2011), pp. 24-29.
14. **Băzu M., Băjenescu T.-M.** Utilizarea analizei defectărilor la construirea și evaluarea fiabilității componentelor și sistemelor electronice. *Asigurarea calității (Quality Assurance)*, vol. XVI, nr. 64(2010), pp. 30-32.
15. **Băjenescu T.-M., Băzu M.** Test and Testability. *EEA*, vol. 59, nr. 1, ianuarie-martie 2011, pp. 13-18.

Recomandat spre publicare: 14.06.2017