

PROCESOR SPECIALIZAT CU ARHITECTURA „FLUX DE INSTRUCȚIUNI - FLUX DE DATE”

Victor ABABII, Viorica SUDACEVSCHI

ababii@mail.utm.md, svm@mail.utm.md,

Universitatea Tehnică a Moldovei

Abstract: În lucrarea de față sunt prezentate rezultatele proiectării unui procesor specializat cu arhitectura „Flux de Instrucțiuni – Flux de Date”. Această arhitectură de calcul este destinată procesării datelor prezentate în formă de vectori, matrice sau tablou care asigură formarea unui flux la intrarea și la ieșirea procesorului. Operațiile aritmetico-logice efectuate de procesorul specializat sunt determinate de specificul problemei rezolvate.

Cuvinte cheie: Procesor specializat, flux de instrucțiuni, flux de date, anitate aritmetico-logică, matematici speciale, operații matriciale, operații vectoriale.

1. Introducere

Procesoarele specializate reprezintă o clasă de sisteme de calcul destinate rezolvării unei probleme sau a unei clase de probleme. Avantajul acestor procesoare este determinat de utilizarea unui set redus de instrucțiuni, ceea ce permite creșterea vitezei de procesare a datelor și reducerea complexității sistemului de calcul, consumului de energie și a dimensiunilor acestora. Desigur, există și unele dezavantaje legate de tehnologia de programare, proiectare și implementare a acestor procesoare. Apariția circuitelor cu arhitectură reconfigurabilă FPGA și a mediilor de programare specializate au permis reducerea costului și timpului de proiectare și implementare a proiectelor. Astfel, pentru proiectarea și testarea funcțională a procesorului specializat se utilizează resursele sistemelor de calcul universale și doar apoi în memoria circuitului FPGA este încărcată informația necesară pentru configurarea schemei logice a procesorului [1,2].

Domeniul de aplicare a procesoarelor specializate este foarte vast începând cu sistemele de control a dispozitivelor casnice, telefoane mobile etc., și terminând cu unități de transport, sisteme robotice, telecomunicații etc. Utilizarea procesoarelor specializate este deosebit de importantă în sistemele cu fluxuri mari de date, cum ar fi sistemele de telecomunicații, comutare, rutare, multiplexare etc. [2-4].

2. Formularea problemei de proiectare a procesorului specializat

În lucrarea de față se propune proiectarea unui procesor specializat cu arhitectură „Flux de Instrucțiuni – Flux de Date” (FIFD). Algoritmul procesării fluxului de date prevede efectuarea operațiilor aritmetice asupra matricelor [5,6]:

$$C = A + B; C = A * B; C = A + B^T; C = A^T + B; B = C; B = C^T, \quad (1)$$

unde: $A = \{a_{i,j}, \forall i = j = \overline{1, N}\}$, $B = \{b_{i,j}, \forall i = j = \overline{1, N}\}$ și $C = \{c_{i,j}, \forall i = j = \overline{1, N}\}$.

3. Structura Procesorului Specializat

Structura procesorului specializat cu arhitectura FIFD este prezentată în Figura 1. Această structură include următoarele părți componente: matricele de intrare A și B , stocate în memoria $RAM A$ și memoria $RAM B$; matricea de ieșire C , stocată în memoria $RAM C$; procesorul specializat. Procesorul specializat este format din: unitatea aritmetico-logică UAL ; memoria pentru stocarea fluxului de instrucțiuni $RAM COP$; registrul instrucțiunii aflate în execuție $Rg COP$; contorul de adrese pentru instrucțiunile ce urmează a fi executate $CT COP$; contoarele indicatoare a adresei $CT A$, $CT B$ pentru operanzii de intrare $Data A$ și $Data B$ și contorul indicator al adresei $CT C$ pentru operandul de ieșire $Data C$. Adresa următoarei instrucțiuni $CT COP$ și adresele operanzilor $CT A$, $CT B$ și $CT C$ sunt generate în dependență de codul operației curente COP (semnalele de control $AddrCON$) și rezultatul execuției acestei instrucțiuni (OP) de către unitatea aritmetico-logică UAL prin generarea semnalelor de control $AddrULA$. Utilizarea $AddrCON$ și $AddrULA$ oferă o flexibilitate sporită pentru generarea operațiilor ciclice și de salt. În acest caz, operanzii matricelor de intrare A și B includ și datele pentru gestiunea operațiilor de salt.

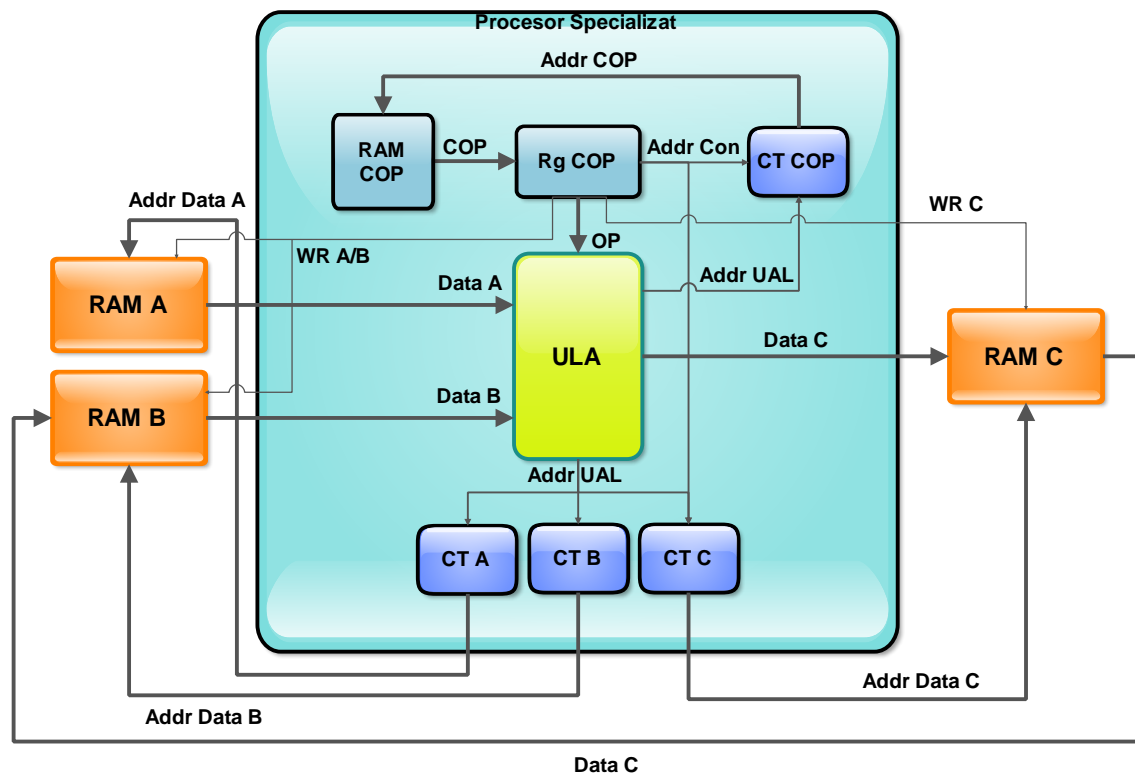


Fig. 1. Structura procesorului specializat FIFD.

Implementarea fluxului de instrucțiuni.

Un exemplu de implementare a generatorului fluxului de instrucțiuni, elaborat în AHDL este prezentat în Figura 2. Logica de funcționare este prezentată printr-un tabel cu câmpul de intrare **ADR[]** – adresa instrucțiunii, și câmpurile de ieșire: **OP[]** – codul operației aritmetico-logice, **ADDR_CON[]** – codul semnalelor de incrementare a contoarelor indicatoare de adresă, **WRAB** – semnalul de citire (1 logic) / înscrisere (0 logic) pentru memoria datelor de intrare **RAM A** și **RAM B**, și **WRC** – semnalul de citire (1 logic) / înscrisere (0 logic) pentru memoria datelor de ieșire **RAM C**.

```

SUBDESIGN FIFD
( ADR[M..0] :INPUT;
  OP[1..0], ADDR_CON[3..0], WRAB, WRC :OUTPUT; )
BEGIN
  TABLE
  ADR[] => OP[], ADDR_CON[], WRAB, WRC:
  B"00..00" => B"00", B"0000", 1, 1;
  B"00..00" => B"00", B"0000", 1, 1;
  ...
  B"00..00" => B"00", B"0000", 1, 1;
  END TABLE;
END;

```

Fig. 2. Exemplu de implementare a generatorului de flux de instrucțiuni în baza AHDL.

Mențiuni

Proiectarea și testarea funcțională a procesorului specializat s-a efectuat în baza resurselor Software și Hardware oferite de catedra Calculatoare, U.T.M.

Bibliografie

1. Vintan, L.N. *Arhitecturi de procesoare cu paralelism la nivelul instrucțiunilor*. Editura Academiei Române, Bucuresti, 2000, p. 450, ISBN 973-27-0734-8.
2. Угрюмов, Е. П. *Цифровая схемотехника*. Учебное пособие для вузов. Изд.2. — БХВ-Петербург, 2004.
3. Singh, S. *Computing Without Processors*. Communications of the ACM. 54(8): pp. 46–54. 2011.
4. Виноградов, Ю.Н., Сергиенко, А.М., Симоненко, В.П. *Выбор архитектуры конфигурируемого процессора для облачных вычислений*. Міжнародна конференція "Високопродуктивні обчислення". НРС-UA'2012, Україна, Київ, 8-10 жовтня, 2012, стр. 122-127.
5. Volf, A. C. *Algebră liniară*. Editura Universității „Al. I. Cuza”, Iași, 2002.
6. Brânzănescu, V., Stănășilă, O. *Matematici speciale. Teorie, exemple, aplicații*, Editura ALL, București, 1994.