

Estimarea testabilității circuitului digital al contraexemplului Schneider

Ion COJOCARU, Luca ȘERBANĂȚI, Bujor PĂVĂLOIU, Alexandru Radovici, Andrei Vasiloițeanu
The University "Politehnica" Bucharest,
Spl. Independenței 313, RO 077206, Facultatea de inginerie cu predare în limbi străine, București
i_coj@yahoo.fr

Abstract –The inefficiency of the one way activation method DALG-I was demonstrated in the base of a single error $\delta=0$ for the circuit of the Schneider's counterexample [2]. As a consequence the DALG-II algorithm for the simultaneous sensitization of all the ways until the observable exits [3]. The adequacy of the results obtained for a possible specific error is put to question in [4] and the results of the testability estimation raises some questions marks referred at the apparition of logic conflicts and the DALG-II efficiency in the case of the $\delta=1$ error.

Key words - digital circuit, estimation, controllability, observability, testability

INTRODUCERE

Noile generații de circuite digitale (CD) erau însoțite de creșterea complexității structurale și funcționale ale CD, ceea ce conducea la cheltuieli exagerate legate de generarea testelor. Adesea apăreau CD unele erori ale cărora nu puteau fi depistate. Aceasta a condus în anii 60 la conștientizarea necesității elaborării cerințelor, principiilor și metodelor de proiectare a CD, care pot fi ușor testate (ulterior a fost acceptată expresia "proiectare pentru testabilitate - PPT"). În acest context, bazele teoretice ale testării CD continuau să fie dezvoltate în paralel cu elaborarea conceptelor și metodologiei PPT. În 1966 Roth elaborează algoritmul DALG-I [1]. În 1967 apare un articol [2] cu un contraexemplu de CD, eroarea $\delta=0$ a căruia, nu putea fi depistată conform DALG-I. În același an apare algoritmul DALG-II [3], în baza căruia putea fi generat testul de depistare a erorii $\delta=0$. În [4] se arată că eroarea $\delta=0$ ar putea fi o eroare specifică. Eficiența DALG-II a fost confirmată de firme de prestigiu în domeniul elaborării testelor, acesta permițând generarea testului în toate cazurile când acesta există. Problema ridicată în lucrare se referă la contraexemplul CD al lui Schneider și este legată de posibilitatea apariției în acest CD a conflictelor logice irezolvabile.

1. GENERALITĂȚI

Tranziția de la generația de calculatoare cu componente discrete și tuburi electronice la elemente bazate pe componente discrete și semiconductori, dar mai ales tranzițiile la circuitele integrate (CI) pe scară mică, medie sau înaltă au semnat apariția unor probleme, legate, pe de o parte, de adecvarea modelelor defectelor și modelelor obiectelor de control (OC), iar, pe de altă parte, de îngreunarea sau imposibilitatea accesării conexiunilor interne în scopul facilitării testării. Totodată, în CI defectele apăreau mult mai rar și era greu de realizat o statistică realistă până la apariția generației următoare de CI. Adesea structurile digitale nu puteau fi verificate din cauza erorilor de proiectare. Ca urmare, în anii 60 ai secolului trecut, a fost pusă problema proiectării pentru testabilitate (PPT), care presupunea obținerea unor circuite digitale (CD) pentru care testele:

1) ar putea fi generate simplu;

2) ar detecta toate defecțiunile de tipul $1 \rightarrow 0$ și de tipul $0 \rightarrow 1$;

3) ar fi minime;

4) ar putea fi utilizate pentru diagnosticarea traseului defect deja în procesul tehnologic de fabricare.

În pofida faptului că existau numeroase dificultăți, anume în această perioadă (1965-1983) au fost elaborate bazele teoretice ale testării CD. Tot atunci au fost obținute și cele mai importante rezultate în domeniul PPT:

A. Testabilitatea circuitelor combinaționale

I. au fost stabilite anumite *proprietăți funcționale* ale circuitelor combinaționale (CC) testabile:

1) funcții logice (FL) *monotone*; *omogene*;

2) funcții *omogene* (FL în care o variabilă poate fi prezentă într-o singură formă – directă sau inversă);

II. au fost stabilite anumite *proprietăți structurale* ale CC, cum ar fi:

1) structuri fără fan-outuri (structuri de tip arbore);

2) structuri cu fan-outuri ale conexiunilor intrărilor primare (IP) cu diverse parități ale semnalelor la intrările porților de convergență;

3) structuri cu fan-outuri ale conexiunilor interne cu diverse parități ale semnalelor la intrările porților de convergență (pot conduce la apariția conflictelor logice irezolvabile);

III. introducerea în CC a punctelor de control în scopul creșterii controlabilității sau/și observabilității;

IV. introducerea în CC a logicii auxiliare în scopul creșterii controlabilității ((C) sau/și observabilității (O));

V. introducerea în CC a punctelor de control și a logicii auxiliare în scopul creșterii controlabilității sau/și observabilității;

Deși, aparent, soluționarea problemei PPT a CC, reieșind din complexitatea dificultăților testării, părea a fi mult mai simplă, aceasta nu s-a întâmplat. Cauzele, multe și complexe, nu au permis obținerea rezultatelor scontate.

B. Testabilitatea circuitelor secvențiale

Din contra, anume în cazul problemei PPT a circuitelor secvențiale (CS) sincrone, care inițial părea foarte complexă și dificilă, au fost găsite soluții foarte reușite de creștere a controlabilității și observabilității, care, în mare parte, au rezolvat problema PPT pentru CS

sincrone. În acest scop au fost elaborate și utilizate cu succes metodele aferente:

- a). *Metode pasive de asigurare a testabilității.*
- b). *Metode active de asigurare a testabilității.*

2. PROPRIETĂȚILE SEMNALELOR ȘI PORȚILOR LOGICE

Între valorile logice ale semnalelor de intrare ale unei porți și a semnalului de ieșire există anumite relații. Valoarea logică 0 aplicată la o singură intrare a porții ȘI (ȘI-NU) determină în mod univoc valoarea logică 0 (1) la ieșirea porții. În mod similar valoarea logică 1 aplicată la o singură intrare a porții SAU (SAU-NU) determină în mod univoc valoarea logică 1 (0) la ieșirea porții. Această valoare logică a semnalului de intrare care de una singură, indiferent de valorile semnalelor celorlalte intrări ale porții, determină în mod univoc valoarea logică la ieșirea porții se numește *valoare logică dominantă (de blocare)*. Vom nota valoarea logică dominantă pe conexiunea i prin d . Valoarea logică unică a semnalului de ieșire a unei porți, care diferă de toate celelalte valori logice la ieșirea acestei porți se numește *valoare logică echivalentă (de activare)*. Pentru poarta ȘI (ȘI-NU) valoarea logică echivalentă a semnalului de ieșire este 1 (0). În mod similar, pentru poarta SAU (SAU-NU) valoarea logică echivalentă a semnalului de ieșire este 0 (1). Vom nota valoarea logică echivalentă pe conexiunea i prin e .

Setul echivalent are următoarele proprietăți:

- 1) fiecare componentă a setului echivalent are capacitate maximă de reprezentare a potențială cale de manifestare și propagare univocă a semnalului corect sau eronat până la ieșirea porții;

- 2) setul echivalent detectează prezența uneia sau mai multor erori la intrările porții, dar nu localizează o anumită intrare defectă.

- 3) Particularitatea cea mai importantă a setului echivalent este că acesta satisface simultan atât condiția manifestării erorii pe oricare din conexiunile de intrare a porții, cât și condiția de propagare univocă a semnalelor corecte ale tuturor intrărilor sau a unicului semnal eronat; Deoarece *domeniul de definiție* al tuturor semnalelor de intrare a porților din tabelul 1 *coincide*, funcțiile porților pot fi comparate în scopul stabilirii unor proprietăți ale anumitor cupluri de porți.

Semnalele logice la intrările unei porți, din punct de vedere al testării, au următoarea semnificație:

- 1) *semnalul dominant d* aplicat, de exemplu, la intrarea j blochează poarta la care este aplicat, făcând imposibilă sensibilizarea celorlalte căi ale acestei porții. Totuși este posibilă activarea porții prin însăși intrarea j la care este aplicat semnalul dominant, dacă sunt respectate 2 condiții: 1) *condiția necesară* presupune asigurarea condiției de manifestare a erorii, adică a aplicării pe conexiunea j a valorii logice opuse presupusei erori. Totuși aceasta nu este suficient pentru detectarea erorii la ieșirea porții. 2) *condiția suficientă* presupune asigurarea propagării univoce a semnalului corect sau eronat de la locul defecțiunii până la ieșirea observabilă, ceea ce poate fi asigurat prin aplicarea valorii echivalente e ale semnalului la toate celelalte intrări ale porții. Numai în

aceste condiții semnalul, corect sau eronat, poate fi propagat până la ieșirea observabilă.

- 2) *semnalele omogene (echivalente) $e \dots e$* aplicate simultan la toate intrările porții reprezintă setul echivalent, fiecare valoarea logică e a acestuia reprezentând *condiția de manifestare a erorii d* la o singură intrare, pe de o parte, iar pe de altă parte, valorile echivalente a intrărilor porții asigură *propagarea univocă* a semnalului corect sau eronat al unei singure conexiuni.

3. ESTIMAREA INDICILOR DETERMINIȘTI AI TESTABILITĂȚII CIRCUITULUI DIGITAL AL CONTRAEXEMPLULUI SCHNEIDER

3.1. Unele aspecte ale estimării testabilității

3.1.1. Manifestarea și propagarea univocă a erorii

Cresterea complexității CD poate conduce la mărirea excesivă a numărului de teste și a timpului necesar generării acestora, dar și la dificultăți extrem de mari sau chiar la imposibilitatea generării testelor de verificare. O modalitate de depășire a acestei situații este analiza de testabilitate a CD proiectat, efectuarea căreia permite obținerea unor indici ai controlabilității și observabilității, valorile numerice ale cărora mărturisesc despre anumite aspecte ale ușurinței/dificultății procesului de elaborare a testelor. Un test reprezintă o totalitate a unui vector stimul al valorilor semnalelor digitale ale IP, selectate într-un anumit mod, și al valorilor digitale ale semnalelor reacțiilor aferente la ieșirile CD. O metodă adecvată de estimare deterministă a indicilor testabilității are drept scop stabilirea gradului de dificultate/ușurință al procesului de generare a testelor. Iată de ce un procedeu adecvat de estimare a indicilor de testabilitate trebuie să fie în strânsă concordanță cu condițiile corespunzătoare ale procedurii de generare a testelor – *manifestarea (M)* erorii și *propagarea (P)* univocă a semnalului de la locul conexiunii bătute defecte până la ieșirea/ieșirile observabilă/observabile. Aceste 2 procedee – estimarea indicilor testabilității și generarea testelor, - reprezintă proprietăți similare ale unuia și aceluiași obiect. Testabilitatea unui circuit digital depinde în primul rând de proprietățile structurii digitale – numărul de nivele logice și fan-outuri- și este funcție de controlabilitate și observabilitate.

3.1.2. Controlabilitatea combinațională

Controlabilitatea unei conexiunii depinde de tipul semnalului digital – 0 sau 1, care trebuie instalat pe această conexiune prin aplicarea anumitor valori ale semnalelor digitale la un număr minimal de IP. De aceea controlabilitatea combinațională (CC) poate fi de 2 tipuri - controlabilitate combinațională 0 (CC0) și controlabilitate combinațională 1 (CC1). *Controlabilitatea combinațională CC0 (CC1)* reflectă "cheltuielile" aferente instalării pe o conexiune a valorii logice 0 (1) și corespunde asigurării condiției de manifestare a erorii conexiunii presupusă defectă.

Deci, controlabilitatea conexiunii i poate fi exprimată prin numărul minimal de intrări primare care trebuie instalate în anumite stări logice pentru a obține pe conexiunea i valoarea logică 0 sau 1.

3.2. Estimarea controlabilității combinaționale a circuitului digital al contraexemplului Schneider

Circuitul digital [2] al contraexemplului Schneider (fig. 1) a fost cauza principală a argumentării necesității trecerii de la metoda de generare a testelor obținute în baza sensibilizării unicii căi a CD (DALG-I) [1] la metoda sensibilizării simultane a tuturor căilor de la toate fan-outurile până la intrările în porțile de convergență. Aceasta a condus, după cum afirmă autorii, la unicul algoritm de generare DALG-II [3], care garantează generarea testului, dacă acest test există. Din 1967 până acum această teză nu a fost respinsă, deși au fost și savanți [4] care aveau anumite îndoieli referitor la aspectele practice ale DALG-II, verificate în baza circuitului digital al contraexemplului Schneider:

1) realizarea unui program de generare a testelor în limbajul APL nu permitea să se tragă o anumită concluzie datorită eficienței acestui limbaj; totodată timpul de generare a testului era destul de mare în comparație cu cel necesar în cazul sensibilizării cu DALG-I a unicii căi prin circuit [4];

2) eficiența algoritmului DALG-II a fost demonstrată pentru cazul unei erori specifice a circuitului digital al contraexemplului Schneider [4]. Cu toate acestea, mulți savanți consacrați din domeniul testării CD au confirmat eficiența practică a algoritmului DALG-II.

În conformitate cu schema CC al contraexemplului Schneider (fig. 1) efectuăm estimarea indicilor de controlabilitate (C). Totodată vom considera că CC0 sau CC1 a unei conexiuni a IP este egală cu 1.

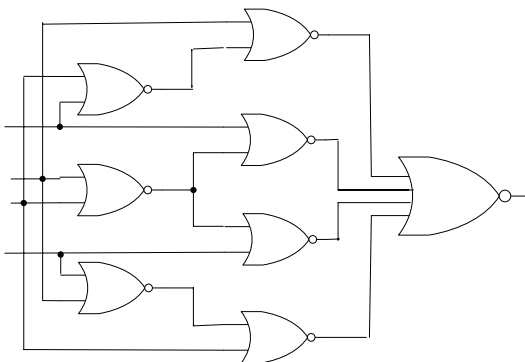


Fig. 1. Schema contraexemplului Schneider

Calculăm CC0

$$\begin{aligned}
 CC0_1=CC0_2=CC0_3=CC0_4=1; \\
 CC0_5=\min(CC1_1, CC1_3)=\min(1,1)=1; \\
 CC0_6=\min(CC1_2, CC1_3)=\min(1,1)=1; \\
 CC0_7=\min(CC1_4, CC1_2)=\min(1,1)=1; \\
 CC0_8=\min(CC1_2, CC1_5)=\min(1,2)=1; \\
 CC0_9=\min(CC1_1, CC1_6)=\min(1,2)=1; \\
 CC0_{10}=\min(CC1_6, CC1_4)=\min(2,1)=1; \\
 CC0_{11}=\min(CC1_7, CC1_3)=\min(2,1)=1; \\
 CC0_{12}=\min(CC1_8, CC1_9, CC0_{10}, CC0_{11})= \\
 =\min(2,2,2,2)=2;
 \end{aligned}$$

Calculăm CC1

$$\begin{aligned}
 CC1_1=CC1_2=CC1_3=CC1_4=1; \\
 CC1_5=CC0_1+CC0_3=1+1=2; \\
 CC1_6=CC0_2+CC0_3=1+1=2; \\
 CC1_7=CC0_2+CC0_4=1+1=2; \\
 CC1_8=CC0_2+CC0_5=1+1=2; \\
 CC1_9=CC0_1+CC0_6=1+1=2; \\
 CC1_{10}=CC0_6+CC0_4=1+1=2;
 \end{aligned}$$

$$CC1_{11}=CC0_7+CC0_3=1+1=2;$$

$$CC1_{12}=CC0_8+CC0_9+CC0_{10}+CC0_{11}=1+1+1+1=2$$

Tabelul 2. Calculul valorilor CC0

Tabelul 3. Calculul valorilor CC1

Rezultatele calculului CC0 și CC1 sunt prezentate în tabelul 2 și respectiv tabelul 3.

3.3. Estimarea observabilității combinaționale a circuitului digital al contraexemplului Schneider

Observabilitatea combinațională (OC) a unei conexiuni a CD reflectă numărul de intrări primare, care trebuie instalate în anumite stări logice pentru a garanta propagarea univocă a semnalului corect sau eronat de pe conexiunea bănuită defectă până la ieșirea observabilă. Spre deosebire de estimarea controlabilității, analiza căreia începe de la intrările primare ale CD, procedeul de estimare a observabilității începe de la ieșirea CD. S-a convenit ca cheltuielile, aferente conectării mijloacelor de detectare și înregistrare a valorii logice respective a semnalului ieșirii observabile, să fie egale cu 1, adică $OC_{P.O.}=1$, unde P.O. semnifică ieșirea primară (primary output) a CD. Indiferent de faptul că de pe conexiunea presupusă defectă este propagată în mod univoc valoarea corectă sau valoarea eronată a semnalului binar, condițiile de propagare univocă (adică cheltuielile) sunt aceleași. Deoarece în cazul general observabilitatea IP nu are o valoare unică, ca în cazul controlabilității

combinacionale, aceasta va fi calculată doar după estimarea observabilității intrărilor porților prin care semnalul este propagat spre ieșirea observabilă. Pentru a face mai comprehensibile rezultatele estimării observabilității acestea sunt prezentate în tabelul 4.

Tabelul 4. Estimarea OC

Calculul de estimare a OC se efectuează în modul următor:

$$\begin{aligned}
 &OC_{12}=1; \\
 &OC_{11}=OC_{12}+CCO_8+CCO_9+CCO_{10}=1+1+1+1=4; \\
 &OC_{10}=OC_{12}+CCO_8+CCO_9+CCO_{11}=1+1+1+1=4; \\
 &OC_9=OC_{12}+CCO_8+CCO_{10}+CCO_{11}=1+1+1+1=4; \\
 &OC_8=OC_{12}+CCO_9+CCO_{10}+CCO_{11}=1+1+1+1=4; \\
 &OC_7=OC_{11}+CCO_3=4+1=5; \\
 &OC_6=OC_{10}+CCO_4=4+1=5; \text{ calea } 10,6; \\
 &OC_6=OC_9+CCO_1=4+1=5; \text{ calea } 9,6; \\
 &OC_5=OC_8+CCO_2=4+1=5; \\
 &OC_4=OC_{10}+CCO_6=4+1=5; \text{ calea } 10,4; \\
 &OC_4=OC_7+CCO_2=5+1=6; \text{ calea } 7,4; \\
 &OC_3=OC_{11}+CCO_7=4+1=5; \text{ calea } 11,3; \\
 &OC_3=OC_6+CCO_2=5+1=6; \text{ calea } 10,6,3; \\
 &OC_3=OC_6+CCO_2=5+1=6; \text{ calea } 9,6,3; \\
 &OC_3=OC_5+CCO_1=5+1=6; \text{ calea } 9,6,3; \\
 &OC_2=OC_7+CCO_4=5+1=6; \text{ calea } 7,2; \\
 &OC_2=OC_6+CCO_3=5+1=6; \text{ calea } 9,6,2; \\
 &OC_2=OC_6+CCO_3=5+1=6; \text{ calea } 10,6,2; \\
 &OC_2=OC_8+CCO_5=4+1=5; \text{ calea } 8,5,2; \\
 &OC_1=OC_9+CCO_6=4+1=5; \text{ calea } 9,1; \\
 &OC_1=OC_5+CCO_3=5+1=6; \text{ calea } 8,5,1;
 \end{aligned}$$

De exemplu, expresia calculului OC_{11} presupune că pentru a estima această valoare este necesar să observăm valoarea semnalului la ieșirea accesibilă 12 și să instalăm pe celelalte 3 conexiuni de intrare a porții 12 semnale egale cu 0 (valoare logică echivalentă pentru poarta SAU-NU). Numai în aceste condiții valoarea semnalului de pe conexiunea 11 poate fi transportată în mod univoc până la unica ieșire observabilă 12. Deci, cheltuielile aferente stabilirii indicelui OC_{11} sunt egale cu 4. Valorile celorlalți indici ai OC sunt calculate în mod similar. Rezultatele estimării indicilor de testabilitate reflectă proprietățile structurale ale unui CD, cum sunt numărul de nivele, numărul căilor diverse de propagare a semnalului fan-outului, numărul de porți al fiecărei din diversele căi de propagare a semnalului fan-outului până la intrarea în poarta logică de convergență a semnalelor. Valoarea numerică a indicelui corespunde gradului de

uşurință/ dificultate al procedurii aferent estimării indicelui respectiv de testabilitate. Totodată proprietățile funcționale și logice nu sunt scoase în evidență în nici un fel, ceea ce presupune necesitatea efectuării unor analize suplimentare ale acestor proprietăți.

Totuși, din rezultatele obținute pot fi trase și unele concluzii importante: numărul divers de porți logice SAU-NU a căilor de propagare a semnalelor din fiecare punct al fan-outurilor A, B, C și D până la intrările porții de convergență 12 mărturisesc despre o mare probabilitate de apariție a conflictelor logice irezolvabile sau chiar posibilă redundanță logică a circuitului digital al contraexemplului Schneider.

IV. CONCLUZII

1. Analiza proprietăților semnalelor și porților logice, deși scoate în evidență anumite proprietăți structurale, nu permite în mod direct detectarea fan-outurilor cu parități egale sau opuse la intrările porții de convergență. De aici rezultă necesitatea completării studiului proprietăților funcționale și logice ale CD prin alte metode, cum ar fi, paritatea semnalelor convergente.

2. Rezultatele estimării indicilor de controlabilitate și observabilitate ai CD al contraexemplului Schneider indică prezența căilor cu parități diverse ale semnalelor de propagare din toate cele 4 puncte (A, B, C și D) ale fan-outurilor spre ieșirea porții observabile. Aceasta mărturisește despre creșterea probabilității de apariție a conflictelor logice irezolvabile sau chiar posibilă redundanță logică a circuitului digital al contraexemplului Schneider.

3. După cum a fost menționat cu 40 de ani în urmă în [4] eficiența algoritmului DALGII a fost demonstrată pentru cazul unei erori specifice. Într-adevăr, dacă presupunem că trebuie generat testul pentru detectarea erorii $\alpha=1$, atunci DALG-I permite generarea testului, iar DALG-II – nu, deoarece la două intrări ale porții 12 vor fi aplicate valori dominante care blochează parțial în 8 și fac imposibilă propagarea univocă a semnalului.

4. Există bănuiala că CD al contraexemplului Schneider ar putea fi o reprezentare a unei funcții logice speciale și o posibilă redundanță logică. În acest sens trebuie efectuate studii suplimentare.

5. Proprietățile structurale scot în evidență doar proprietățile topologiei CD, dar nu și cele funcționale sau logice, extrem de importante în cazul PPT.

BIBLIOGRAFIE

- Roth J. P. Diagnosis of Automata Failures: A calculus and A Method. - IBM Journal of Research and Development, vol. 10, p. 78-91, 1966.
- Schneider P. R. Contraexemplul On the Necessity to Examine D-Chains in Diagnostic Test Generation – An example, IBM Journal of Research and Development, vol. 11, No.1, p. 114-115, 1967.
- Roth J. P., Bouricius W. G., Schneider P. R. Programmed Algorithms to Compute Tests to Detect and Distinguish Between Failures in Logic Circuits. - IEEE Trans. On Electronic Computers, vol. EC-16, No. 5, p. 567-579, 1967.
- Chang H. Y., Manning E., Metze G. – Fault diagnosis of digital systems. – Wiley-Interscience, New York, London, Sydney, Toronto, 1970.