

# IMPACTUL INTEGRĂRII 3D ASUPRA CONSTRUIRII ARBORELUI DE CLOCK

Ionica-Marcela PLETEA

Departamentul de Microelectronică și Inginerie Biomedicală, Universitatea Tehnică a Moldovei

**Rezumat:** Arborele de clock este structura cea mai utilizată pentru distribuirea semnalului de clock în rețea. Atingerea performanțelor designului din punct de vedere al frecvenței circuitului poate fi ajutată de obținerea unui arbore de clock performant. Întârzierea pe arborele de clock (skew-ul) și consumul de putere sunt principalele obiective luate în considerare în optimizarea arborelui de clock [8]. În cazul integrării 3D, impactul arborelui de clock asupra ariei și vitezei este evidențiat prin raportarea la arborele de clock în integrarea 2D.

**Cuvinte cheie:** skew, arbore de clock, integrare 3D, optimizare, performanță

## Introducere

Scaderea rapidă a dimensiunilor tranzistoarelor folosite în procesul de fabricare pe *discul de siliciu*, conduce la o creștere semnificativă a dimensiunilor circuitelor electronice, pe care programele de proiectare vor trebui să o proceseze. Proiectarea, reprezentarea și implementarea circuitelor integrate 3D va necesita modificări în mai multe etape din metodologia de proiectare. Circuitele integrate 3D tind să fie mult mai complexe, pe măsură ce trebuie să integreze o cantitate mai mare de funcționalități și conțin diverse tehnologii.

Unul dintre scopurile realizării integrării 3D este de a reduce complexitatea interconexiunilor și întârzierile asociate cu integrarea 2D. Acestea sunt considerate ca fiind principalele obstacole în calea creșterii performanțelor în continuare pentru generațiile viitoare de circuite integrate. Acest aspect se reflectă în toate etapele procesului de proiectare a circuitelor integrate, iar în lucrarea de față este analizat impactul creării arborelui de clock asupra lungimii interconexiunilor și întârzierilor asociate cu acestea.

## Partea experimentală

Balansarea întârzierilor pe ramurile arborelui de clock în vederea obținerii unui skew eficient se face prin inserarea bufferelor și/sau inversoarelor pe căile semnalului de clock. Clock tree synthesis – sinteza arborelui de clock - reprezintă o etapă importantă în flow-ul de proiectare a circuitelor integrate digitale și joacă un rol important în implementarea unui arbore de clock echilibrat care să ajute la atingerea constrângerilor de timp din design. Scopul principal în construirea arborelui de clock este de a reduce skew-ul, de a acoperi toate registrele din design și de a menține o arie cât mai mică a designului.

Bufferele și inversoarele care formează arborele de clock în designul din figura 1, sunt puse în evidență prin marcarea lor cu alb. Arborele de clock a fost implementat pentru o perioadă de 3ns iar structura lui cuprinde 8 nivele cu 274 de buffere/inversoare care ajung la cele 7729 de bistabile din design.

În mod obișnuit implementarea arborelui de clock într-un flow 2D arată ca cel din figura 1.

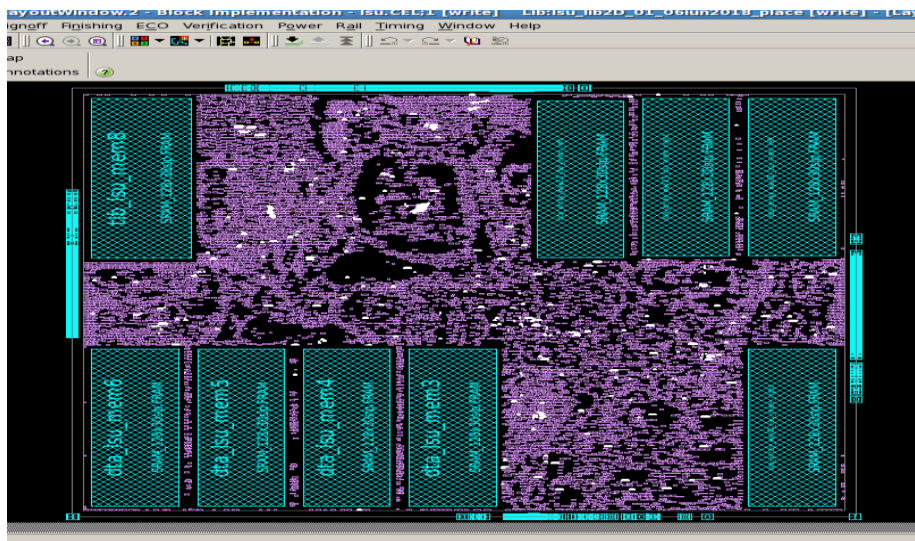


Fig. 1 Arbore de clock în circuit integrat 2D.

Implementarea arborelui de clock in dimensiunea 3D cu ajutorul toolului de proiectare a circuitelor integrate 2D[4], s-a realizat dupa plasarea memoriilor reprezentate grafic printr-o serpentina ca in figura 2, al carei pas este mai mic decat cea mai mica memorii din design, astfel incat sa poata fi evitate violarile de DRC care ar fi aparut daca inlocuim memoriile virtuale cu cele reale[5]. In structura arborelui de clock s-au folosit buffere si inversoare din tehnologie cu marimi de la 2X la 32X, astfel incat sa se obtina un arbore echilibrat si cu o arie cat mai mica.

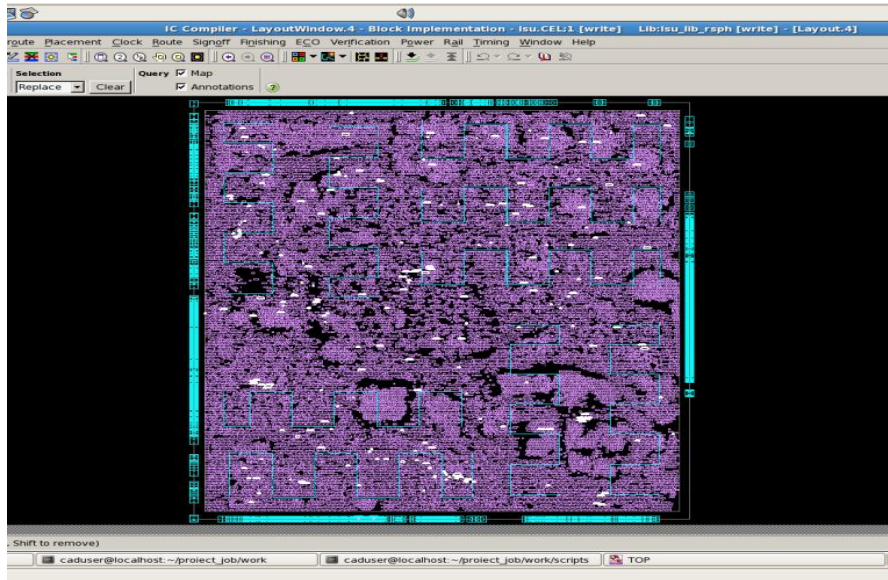


Fig. 2 Arbore de clock in circuit integrat 3D.

Spre deosebire de distributia arborelui de clock 2D, unde bufferele/inversoarele folosite in structura sunt plasate in aria din jurul memoriilor, in cazul plasarii 3D, structura arborelui de clock este imprastiata pe toata suprafata core-ului. Disparand constrangerea de arie, distributia arborelui de clock este mult mai uniforma in cazul 3D, iar necesarul de buffere/inversoare din structura scade semnificativ.

## Rezultate si discutii

În raportul detaliat de la **2D report CLOCK** sunt prezentate caracteristicile arborelui de clock "l2clk" si anume: arii celule, arie totala, numar de bufere/inversoare, numarul de nivele pe care s-a creat arborele, skew, calea cea mai lunga de timing din design si cea mai scurta, perioada clockului, conditiile tehnologice in care s-a implementat clockul, intarzierile pe caile cele mai lungi si cele mai scurte, precum si scenariul in care a fost implementa si anume "modul functional"

### 2D report CLOCK

Clock Tree Name	: "l2clk"
Scenario	: "func"
Clock Period	: 3.00000
Clock Tree root pin	: "l2clk"
Number of Levels	: 8
Number of Sinks	: 7729
Number of CT Buffers	: 274
Number of CTS added gates	: 0
Number of Preexisting Gates	: 180
Number of Preexisting Buf/Inv	: 10
Total Number of Clock Cells	: 464
Total Area of CT Buffers	: 1565.27307
Total Area of CT cells	: 2057.03809
Max Global Skew	: 0.05655

### 3D report CLOCK

Clock Tree Name	: "l2clk"
Scenario	: "func"
Clock Period	: 3.00000
Clock Tree root pin	: "l2clk"
Number of Levels	: 9
Number of Sinks	: 7729
Number of CT Buffers	: 204
Number of CTS added gates	: 0
Number of Preexisting Gates	: 180
Number of Preexisting Buf/Inv	: 9
Total Number of Clock Cells	: 393
Total Area of CT Buffers	: 1383.56042
Total Area of CT cells	: 1879.39172
Max Global Skew	: 0.04670

În raportul detaliat de la **3D report CLOCK** sunt prezentate caracteristicile arborelui de clock "l2clk" și anume: arii celule, arie totală, număr de buffere/inversoare, numărul de nivele pe care s-a creat arborele, skew-ul, aria totală a celulelor de clock.

### Concluzii

Dupa etapa de construire a *arborelui de clock* se poate observa ca sunt folosite cu 25% mai putine buffere respectiv inversoare.

Organizarea tridimensională a circuitului[3], reduce lungimile conexiunilor atât cele medii cât și cele maxime, necesare pentru a conecta componentele sistemului, reducând disiparea puterii și crescând performanța în același timp. Reducerea totală a ariei designului datorată suprapunerii memoriilor peste standard celule se reflectă în următoarele aspecte:

- a. numărul de inversoare și buffere folosite la optimizare este redus;
- b. aria totală a celulelor combinatoriale este micșorată;
- c. lungimea neturilor este redusă;
- d. lungimea conexiunilor dintre standard celule și memorii se reduce;
- e. numărul de buffere și inversoare folosite la construirea arborelui de clock este redus;
- f. valoarea skewului este redusă.

### Bibliografie

1. Xie, Y., Cong, J., Sapatnekar, S. "Three-Dimensional Integrated Circuit Design," Springer, 2010.
2. S. Bobba et al., "CELONCEL: Effective Design Technique for 3-D Monolithic Integration targeting High Performance Integrated Circuits" ASPDAC, 2011, pp. 337-343.
3. Chiang, C, Sinha, S. „The road to 3D EDA tool readiness”, Asia and South Pacific Design Automation Conference, 2009, pp. 429-436.
4. D. H. Kim, S. K. Lim., "Impact of through-silicon-via scaling on the wirelength distribution of current and future 3D ICs." Interconnect Technology Conference, IEEE, 2011.
5. Pletea I, Wurman ZE, Or-Bach Z, et al. "Monolithic 3D layout using 2D EDA for embedded memory-rich designs". IEEE. 2015:1-2.
6. K. Sakuma, et al., "3D chip-stacking technology with through-silicon vias and low-volume lead-free interconnections," IBM J. Res. & Dev., v52 n6 (2008), pp. 611-622
7. Synopsys, Proceedings of 3D Architectures for Semiconductor Integration and Packaging Conference, December 2010.
8. Clock Tree Synthesis for Timing Convergence and Timing Yield Improvement in Nanometer Technologies.