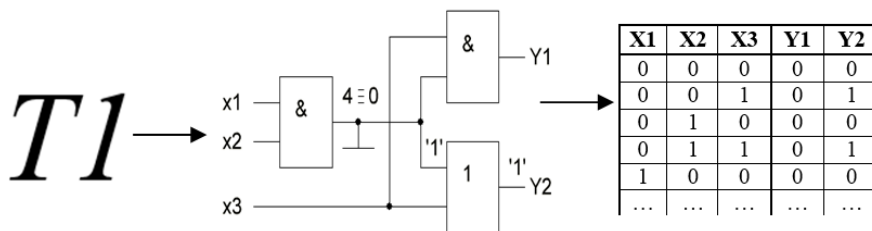


ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ МОЛДОВЫ

ТЕСТИРОВАНИЕ ЭЛЕКТРОННЫХ СИСТЕМ

Гид к лабораторным работам Часть I



Chişinău
2016

ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ МОЛДОВЫ

**ФАКУЛЬТЕТ ИНЖЕНЕРИИ И МЕНЕДЖМЕНТА В ЭЛЕКТРОНИКЕ
И ТЕЛЕКОММУНИКАЦИЯХ
КАФЕДРА ЭЛЕКТРОННЫХ СИСТЕМ И УСТРОЙСТВ**

ТЕСТИРОВАНИЕ ЭЛЕКТРОННЫХ СИСТЕМ

*Гид к лабораторным работам
Часть I*

**Chişinău
Editura «Tehnica-UTM»
2016**

Данный гид к лабораторным работам предназначен для приобретения навыков по составлению тестов для цифровых комбинационных схем и устройств цифровой памяти. Практически тестирование выполняется на основе микросхем с программируемой логикой при помощи языкового описания на языке *VHDL* и в среде *Schematic*.

Представленные лабораторные работы направлены на закрепление знаний в области тестирования цифровых устройств, а работа с отладочными платами направлена на приобретение практических навыков в данной области.

Гид рекомендован студентам, мастерантам и докторантам соответствующего профиля и отражает современные технологии в тестировании цифровых электронных систем.

Авторы: лектор унив. С. Грицков

лектор ассист. Д. Лазэр

Рецензент: конф. унив., докт. П. Нистирюк

ВВЕДЕНИЕ

Данный гид предназначен для выполнения лабораторных работ по составлению тестов или тестовых последовательностей для обнаружения неисправностей цифровых устройств. В данном гиде представлен также теоретический материал, включающий в себя методы тестирования цифровых логических схем и цифровой памяти. Для каждого метода приведены примеры составления тестов.

Данные лабораторные работы можно компоновать в две: первая и вторая – составление тестов или тестовых последовательностей для обнаружения всех возможных константных неисправностей цифровых комбинационных схем, а третья – составление тестов или тестовых последовательностей для обнаружения неисправностей устройств с памятью (триггеров и счетчиков).

Выполнение лабораторных работ осуществляется на основе отладочных плат с ПЛИС (программируемая логическая интегральная схема) фирмы *Altera*. Данные микросхемы обладают необходимыми ресурсами (логические блоки, ячейки памяти), что дает возможность практического проведения тестирования цифровых устройств.

В рамках выполнения данных лабораторных работ студент должен закрепить следующие знания:

- научиться на основе известных методов, которые будут рассмотрены в теоретической части методических указаний, **составлять тесты и тестовые последовательности** для обнаружения определенного вида неисправностей;

- научиться **оптимизировать** составленные тестовые последовательности;

- научиться **применять на практике** полученные знания в области обнаружения различных видов неисправностей цифровых устройств.

СОДЕРЖАНИЕ

ВВЕДЕНИЕ	3
1. Основные определения в технической диагностике.....	4
2. Неисправности цифровых устройств	6
3. Методы обнаружения неисправностей цифровых устройств.....	12
3.1. Методы тестирования цифровых комбинационных схем	12
3.1.1. Метод активизации путей.....	12
3.1.2. Метод булевых производных.....	14
3.1.3. Метод <i>d</i> -алгоритмов (Roth).....	16
3.1.4. Стохастический метод	19
3.1.5. Минимизация тестов.....	22
3.2. Методы тестирования устройств цифровой памяти	24
3.2.1. Классические методы тестирования	24
3.2.2. Маршевые тесты.....	25
3.2.3. Псевдокольцевое тестирование	28
БИБЛИОГРАФИЯ	33

БИБЛИОГРАФИЯ

1. ЯРМОЛИК С., ЗАНКОВИЧ А., ИВАНЮК А. *Маршевые тесты для самотестирования ОЗУ*. – Минск: БГУ, 2009. - 270 с.
2. POWELL T., KUMAR A., RAYHAWK J., MUKHERJEE N. *Chasing subtle embedded RAM defects for nanometer technologies*. – Texas Instrum. Inc., Dallas, TX, Test Conference, IEEE, 2005, pp. 9 - 850.
3. HAMDIOUI S., VAN DE GOOR A.J., RODGERS M. *March SS: a test for all static simple RAM faults*. – Memory Technology, Design and Testing, 2002, pp. 95-100.
4. WAN Z., WAN H., IZHAI A., ROSLINA S., MASURI O. *A Fault Syndromes Simulator for Random Access Memories*// European Journal of Scientific Research ISSN 1450-216X, Vol.23, No.1, 2008, pp.13-24.
5. VAN DE GOOR A., ABADIR M., CARLIN A. *Minimal test for coupling faults in word-oriented memories*. – Design, Automation and Test in Europe Conference and Exhibition, 2002, pp. 944-948.
6. BODEAN Gh. *Diagnosticarea dispozitivelor digitale*. – Chişinău: UTM, 2007. - 311 p.
7. МИКИТЮК В., ЯРМОЛИК В., VAN DE GOOR A. *RAM testing algorithms for detection multiple linked faults*. Minsk: Byelorussian State Univ., *IEEE Int. Test Conf.*, 1996, pp. 435 - 439.
8. PARK Y., PARK J., HAN T., KANG S. *An Effective Programmable Memory BIST for Embedded Memory*. – IEICE Transactions on Information and Systems, Volume E92.D, Issue 12, 2009, pp. 2508-2511.
9. ЛИТИКОВ И. *Кольцевое тестирование цифровых устройств*. – Москва: Энергоатомиздат, 1990. - 157 с.
10. GRIȚCOV S. *Algorithmic complexity of pseudo-ring testing for stuck-at faults*. – Chişinău: ICTEI-2015, pp. 75-76.